

Practicum 4.1 Counter

1. start een nieuw project en schrijf in VHDL een 4 bits counter met clock en reset. De entity is:

```
entity counter is
  port (clk, reset: in std_logic;
        count: out std_logic_vector(3 downto 0));
end entity;
```

2. test de counter m.b.v. de waveform monitor of testbench;
3. schrijf een nieuwe entity en architecture die de vier counterbits aan de leds (LEDG 0..3) koppelt en de drukknoppen (KEY2 en KEY1) aan de clock en reset koppelt. Let op dat de drukknoppen laag zijn wanneer ingedrukt. De drukknoppen zijn al ontdenderd;
4. compileer, programmeer en test op het DE0 board;
5. koppel ook een 7-segment driver (uit practicum 2.1) aan de counter;
6. compileer, programmeer en test op het DE0 board;

Practicum 4.2 Counter op 50 MHz

Maak nu een circuit waarbij de counter twee keer per seconde wordt opgehoogd. Je gebruikt hiervoor de interne clock van de DE0, genaamd CLOCK_50, die een frequentie van 50 MHz heeft.

7. voeg een entity/component genaamd 'delay' toe die tot 12.500.000 telt en dan de klokgang toggled. Daarmee wordt de ingaande klok van 50 MHz teruggebracht tot een 2 Hz klok. Koppel de delay aan de 50 MHz clock en de eerder gemaakte counter.

```
-- delay clock counter
entity delay is
  port(clkin  : in std_logic;
        clkout : out std_logic);
end entity delay;
```

8. compileer, programmeer en test op het DE0 board;

Practicum 4.3 Uitgebreide counter op 50 MHz

9. verander de counter en het overall ontwerp zodat met KEY2 de counter wordt ge-enabled (met andere woorden: met KEY2 wordt de counter gestart en gestopt). Verder wordt met KEY1 de richting van de counter bepaald (omhoog of omlaag). En met KEY0 verander je het overlopen van de teller (wel/niet). (Let op: enable moet asynchroon zijn, richting en wrapping moeten synchroon zijn).
10. compileer, programmeer en test op het DE0 board;

Practicum 4.4 Uurwerk

11. Verander het ontwerp om een uurwerk te maken (zie de entity hieronder) die telt van 00:00 tot 23:59. Het synchrone *clear* signaal zet de klok naar de tijd "23:00".
12. compileer, programmeer en test op het DE0 board. Voor het gemak: laat een minuut een halve seconde duren :-)

```
entity clock is
  port(clk, reset, clear : in std_logic;
        hours, minutes : out std_logic_vector(7 downto 0));
end entity clock;
```