

# ELT-ESE-2 DSDL

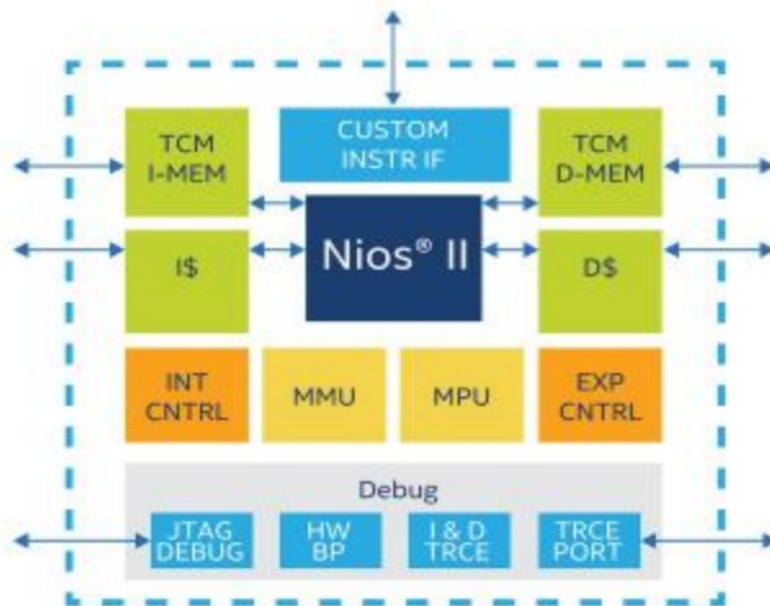


## Digitaal Systemontwerp practicum

HAN Elektrotechniek/Embedded Systems

ir drs E.J Boks

De “grote” opdracht: Bouw een SoftCore in de  
Altera FPGA



## **Doel:**

Het in vijf weken ontwikkelen van een werkende “hello world” applicatie die loopt op een Altera Cyclone III/V of MAX10 FPGA. Het ontwikkelen van de applicatie leidt tot een goed inzicht hoe en wanneer een softcore kan worden gebruikt, alsmede hoe de koppeling tussen de software en de hardware implementatie plaats vindt.

## **Tijd:**

Vijf weken.

## **Benodigde zaken en randvoorwaarden:**

- De workshop moet in een tweetal worden uitgevoerd – alleen of met meer dan twee studenten is niet toegestaan. Bij oneven aantallen mag slechts een groep uit een of drie personen bestaan.
- Altera Quartus op een PC geïnstalleerd.
- Een Altera Cyclone DE0/DE0-CV/DE10-Lite development board.
- De softcore moet met behulp van de taal C en/of C++ worden geprogrammeerd, de programmeerbare hardware moet in VHDL worden geschreven.
- De softcore gebruikt de volgende peripherals:
  - de PIO controller
  - de USART controller
  - [optioneel, in plaats van de USART ] de VGA controller
- De applicatie (code+data) moeten in intern SRAM worden uitgevoerd.

## **Beschrijving:**

Ontwerp een applicatie die het volgende doet:

- De applicatie start op en wacht op een toetsdruk.
- Na het indrukken van een drukknop toont de applicatie op de zeven segment displays de scrollende tekst “HAN ESE DSD 2019-2020 IS COOL” .  
De scrolfrequentie bedraagt 1 Hz.
- Keuze uit twee opties :
  - Dezelfde tekst wordt tegelijkertijd uitgestuurd via de aanwezige UART poort met 38400 Baud, 8 Bits, no stop, no parity.
  - Dezelfde tekst wordt op een VGA scherm afgebeeld, bewegend van links naar rechts. Bij het bereiken van het schermeinde moet de tekst terugbewegen naar het begin. Deze implementatie levert een extra punt voor het theoriecijfer.
- Tijdens het scrollen moet een LED op het board met de scrolfrequentie meeknipperen.
- De applicatie moet gebaseerd zijn op een combinatie van een Altera Nios II softcore met aanvullende VHDL gebaseerde hardware om de taken uit te voeren die in de softcore niet of minder gemakkelijk mogelijk zijn.

## **Ga als volgt te werk :**

- Leer de softcore architectuur kennen. Bekijk [deze Altera video](#) om te beginnen.
- Leer de specifieke softcore tools in Quartus (Qsys/Platform Designer) kennen.
- Ontwerp de architectuur. Verdeel functionaliteit over softcore en programmeerbare hardware en onderzoek hoe deze samen kunnen worden gevoegd in een FPGA project. De koppeling tussen softcore en programmeerbare hardware is essentieel in deze opdracht.
- Verdeel de taken. Een persoon verzorgt de softcore implementatie, de ander de hardware implementatie, apart van elkaar. Test de twee delen apart.
- Voeg de delen samen en test het geheel.

### ***Oplevering:***

Van jullie wordt verwacht dat je de volgende zaken oplevert:

- Een werkende applicatie die voldoet aan het hierboven geschreven doel.
- Een klein verslag, met daarin een toelichting op de broncode (SW/HW bronnen) van de embedded applicatie.
- Verzorg een demonstratie van de applicatie aan de docent, of maak een video waarin duidelijk te zien is dat jullie de code hebben geschreven en aantonen dat de applicatie werkt volgens de eisen.